

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

⑫ 公開特許公報(A) 平1-307271

⑬ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

Z-8624-5F
7514-5F

⑭ 公開 平成1年(1989)12月12日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体装置とその製造方法

⑯ 特 願 昭63-137954

⑰ 出 願 昭63(1988)6月3日

⑱ 発 明 者 河 村 誠 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外 2 名

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1). 絶縁体上の半導体層に形成され、ゲート電極と低抵抗ドレイン領域とがオフセット領域を挟んで離隔しているオフセット型FETを有する半導体装置であって、

ソース電極(S)とドレイン電極(D)の間に並列に接続された複数の電流通路(1₁, 1₂, 1₃, ...)を有し、

該複数の電流通路(1₁, 1₂, 1₃, ...)の各々は実質的に単結晶である半導体領域で形成されたオフセット領域(13)を含み、

隣接するオフセット領域(13)間は電気的に分離されている、

ことを特徴とする半導体装置、

(2). 絶縁体上の半導体層に、ゲート電極と低抵抗ドレイン領域とがオフセット領域を挟んで離隔しているオフセット型FETを有する半導体装

置を製造する方法であって、

絶縁体上の多結晶または非品質の半導体層(22)の上に複数のオフセット領域になる部分(24)を囲んで反射低減膜(23)を形成し、

電磁波ビームを照射して、前記半導体層(22)を溶融すると共に、前記オフセット領域になる部分(24)の各々に、その中央部で低く、反射低減膜に向って高くなる温度分布を形成し、

その後、冷却することによって前記オフセット領域になる部分(24)の中央部から結晶化させ、オフセット領域になる部分(24)を結晶粒界のない単結晶領域にする、

工程を含むことを特徴とする半導体装置の製造方法、

3. 発明の詳細な説明

[概要]

オフセット型FETからなる半導体装置に関し、オフセット領域を幾つかの領域に分割しその部

分を単結晶化することによってオフセット抵抗の低いオフセット型FETを有する半導体装置を提供することを目的とし、

絶縁体上の半導体層に形成され、ゲート電極と低抵抗ドレイン領域とがオフセット領域を挟んで隣接しているオフセット型FETを有する半導体装置であって、

ソース電極とドレイン電極との間に並列に接続された複数の電流通路を有し、

該複数の電流通路の各々は実質的に単結晶である半導体領域で形成されたオフセット領域を含み、

隣接するオフセット領域間は電気的に分離されているように構成する。

[産業上の利用分野]

本発明は絶縁体上の半導体(SOI)に形成する半導体装置に関し、特にオフセット型FETを有する半導体装置に関する。

近年、パワーICの分野においては、高耐圧かつオン抵抗の低い素子の開発が必要とされている。

いので、従来のオフセット型FETは、多くの結晶粒界の存在するシリコン層に形成されている。

[発明が解決しようとする課題]

従来のオフセット型FETでは、耐圧は高くできるがオン抵抗が低くならない欠点があった。オン抵抗が低くならない原因としては、オフセット型FETのチャネル抵抗、ソース抵抗、ドレイン抵抗等も考えられるが、最も大きく効いているのはオフセット抵抗であることが判った。

本発明の目的は、オフセット抵抗の低いオフセット型FETを有する半導体装置を提供することである。

従来技術によれば、SOI型半導体層を広い面積に亘って単結晶化することは、極めて困難である。

本発明の他の目的は、SOI型半導体層を用い、単結晶領域からなるオフセット領域を有するオフセット型FETを有する半導体装置を製造する方法を提供することである。

[従来の技術]

第3図(A)、(B)に従来のオフセット型FETを有する半導体装置を示す。(A)が上面図、(B)が断面図である。

絶縁基板30は、たとえば酸化膜で覆ったシリコンウェーハである。低抵抗ソース領域31、低抵抗ドレイン領域32、オフセット領域33を含む半導体層34が絶縁基板30上に形成され、その上にゲート導体35が設けられている。ゲート電極Gに印加したゲート電圧の制御の下にソース電極Sからドレイン電極Dにキャリアが流れる。絶縁基板30上の半導体層34はレーザビーム等の手段によって再結晶化されている。オフセット領域33の長さ、すなわちゲート導体35と低抵抗ドレイン領域32との間の距離はたとえば10-20 μ m、チャネル幅、すなわちゲート導体35の下にチャネル領域の電流の流れに垂直な方向の幅は、取り出したい電流値によるが、たとえば400 μ mである。

素子領域全体を完全に単結晶化することが難し

[課題を解決するための手段]

電流通路を複数に分割し、各電流通路のオフセット領域を実質的に単結晶である半導体領域で形成する。

絶縁体上の多結晶または非品質の半導体層の上にオフセット領域になる部分を囲んで反射低減膜を設け、電磁波ビームを照射して、半導体層を溶融すると共に中央部で低く反射低減膜の下に向って高くなる温度分布を形成し、その後冷却することによって中央部から結晶化させ実質的に単結晶から成るオフセット領域を形成する。

[作用]

オフセット領域が実質的に単結晶である半導体領域で形成されるため、オフセット抵抗を低くすることができる。

複数のオフセット領域となる部分の各々で、結晶化の核形成が1か所から始まるので、実質的に単結晶から成るオフセット領域を形成できる。

【実施例】

第1図(A)、(B)に本発明の実施例によるオフセット型FETを示す。(A)が上面図、(B)が断面図である。

絶縁基板10は、たとえば酸化膜で覆ったシリコンウェハである。低抵抗ソース領域11、低抵抗ドレイン領域12、オフセット領域13を含む半導体層14が複数並列に並んで絶縁基板10上に形成され、複数の電流通路11、12、13、...を形成している。その上に、たとえば不純物添加した多結晶シリコンからなる共通のゲート導体15が設けられている。ゲート電極Gに印加したゲート電圧の制御の下に各ソース電極Sからオフセット領域13を通してドレイン電極Dにキャリアが流れる。絶縁基板10上の半導体層14はレーザビーム等の手段によって再結晶化されている。

ここで、各オフセット領域13は実質的に単結晶である半導体領域で構成されている。オフセット領域13の長さ、すなわちゲート導体15と低抵抗ドレイン領域12との間の距離はたとえば1

0-20 μ m、チャネル幅、すなわちゲート導体15の下各チャネル領域の電流の流れに垂直な方向の幅は、たとえば10-20 μ mである。

オフセット領域の寸法は、単結晶化可能な最大領域によって制限する。以下に説明する周辺反射防止(反射低減)膜法によれば、一般的には20 \times 20 μ m程度である。このような単結晶化できる寸法のオフセット領域を複数作り、並列に接続することで所望の全チャネル幅を持ったデバイスを作り、必要な電流量を得る。

このようにして、オフセット域が単結晶化され、耐圧が高く、かつオン抵抗の低いオフセット型FETを含むICが作製できる。

次に、第2図(A)、(B)、(C)、(D)、を参照して、周辺反射防止膜法による単結晶化を説明する。

バルク半導体(たとえばシリコン)20上に1.5-2.0 μ mの厚さにSiO₂などの絶縁膜21を形成し、その上にたとえば低圧(LP)CVDによって多結晶シリコン22を0.4-0.5

μ m堆積する。この層が半導体装置を形成する層となる。

次に、半導体層22の上に上から照射する光、たとえばレーザビーム、に対して半導体表面の反射を低減する構成の反射防止膜ないし反射低減膜23を形成する。たとえば、第1層として、SiO₂層を約300 \AA 、第2層として、Si₃N₄層を約1000 \AA 堆積する。これらの膜は半導体と空気との中間の屈折率を有するので、存在すれば半導体の反射率は低減する。その光路長を調整することにより、反射率は変化する。たとえば、1/4波長の光路長をもつ膜とすると反射率は最も小さくなる。所望の温度勾配を作り出すような反射低減膜23の構成は実験的に求められる。

半導体層に単結晶化を進めさせるような温度勾配を形成するため、反射低減膜を部分的に削除する。すなわち、第2図(A)、(B)に示すようにオフセット領域となる部分24を露出するようにホトリソグラフィによって窓をあける。オフセット領域となる部分24の周りに周辺反射防止膜

(反射を低減させる膜)23が残る。この段階で、適当な数のシリコン島に分離してもよい。

次に第2図(C)に示すように連続発振のArレーザをパワー5-8W、スキャン速度150mm/sec、基板加熱500℃で半導体層25に照射する。

照射で半導体層25は溶融し、その後、冷却して固化する。ここで、反射低減膜23のある部分は反射が少ないので、光吸収が多く、より多く温度上昇する。その結果、オフセット領域となる部分24の中央が最も温度の低い場所となり、固化はこのオフセット領域となる部分24の中央から進む。最初の核形成が1か所で起こるので周辺反射防止膜23で囲まれたオフセット領域となる部分24は実質的に結晶粒界のない単結晶の島にできる(第2図(D))。その後は通常のオフセット型FETを作る工程で、最終的に第1図(A)、(B)に示すような半導体装置を作る。

【発明の効果】

以上説明したように、本発明によれば、オフセット型FETの耐圧を高く、かつオン抵抗を低くすることができる。

今後需要が増えると思われるパワーICの分野にSOI技術が容易に応用できる。

4. 図面の簡単な説明

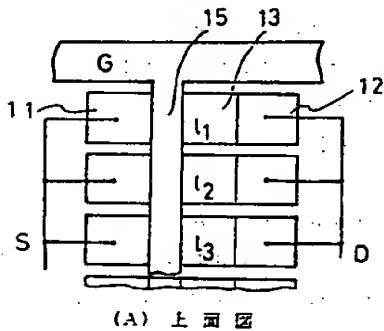
第1図(A)、(B)は本発明の実施例によるオフセット領域に結晶粒界の存在しないオフセット型FETの上面図と断面図、

第2図(A)～(D)は周辺反射防止膜法を説明するためのオフセット型FETの断面図、

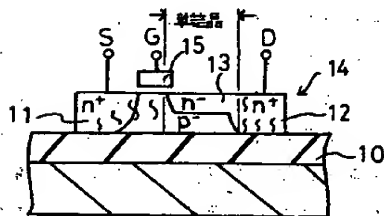
第3図(A)、(B)は従来のオフセット型FETの上面図と断面図である。

図において、

- 11, 12, 13 電流通路
- S ソース電極
- G ゲート電極



(A) 上面図



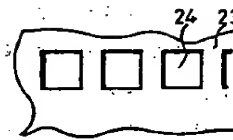
(B) 断面図

本発明の実施例による
オフセット型FET/ESOI/MOSFET

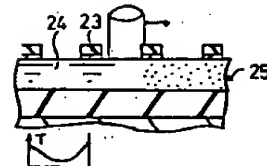
第 1 図

- D ドレイン電極
- 11 ソース領域
- 12 ドレイン領域
- 13 オフセット領域
- 14 半導体層
- 15 ゲート導体
- 23 反射低減膜
- 24 オフセット領域となる部分

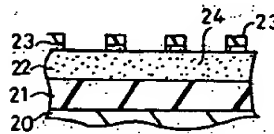
代理人 弁理士 井 祈 貞



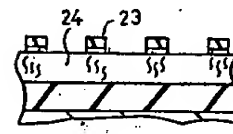
(A) 反射低減膜上面図



(C) レーザ照射



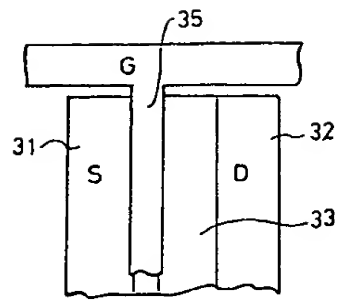
(B) 反射低減膜断面図



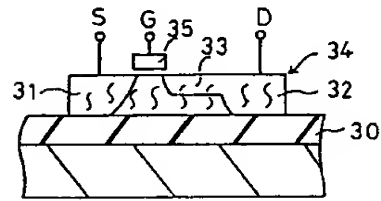
(D) 単結晶化

反射防止膜/結晶化プロセス

第 2 図



(A) 上面図



(B) 断面図

従来の技術による
オフセット型高圧SOI/MOSFET

第 3 図